



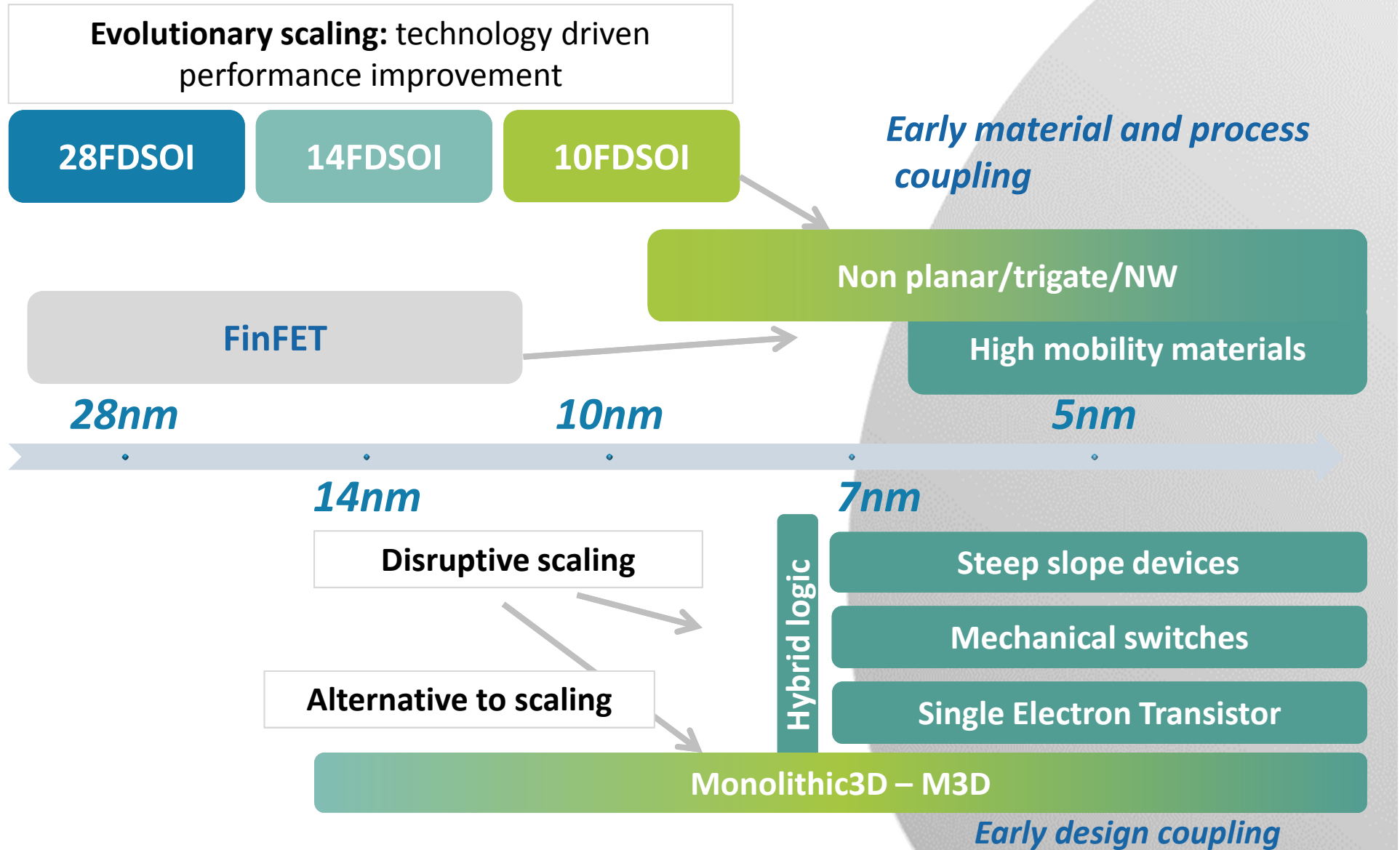
www.leti.fr **leti**
devices • workshop

December 8, 2013 | The Churchill Hotel, Washington D.C.

**CMOS technologies:
Our most power efficient solution today
and our vision toward 10nm node
and beyond**

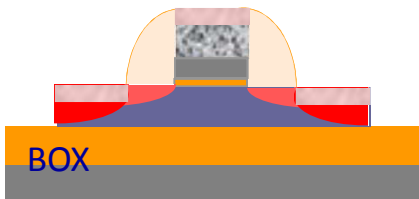
Maud Vinet, Advanced CMOS manager

Device technology roadmap

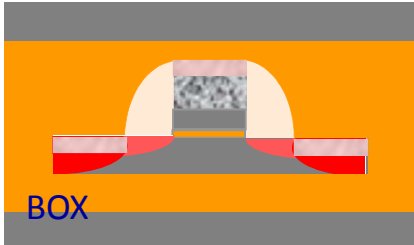


Monolithic 3D

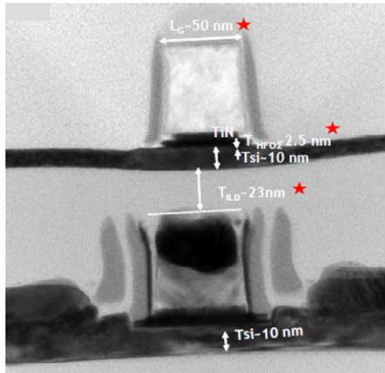
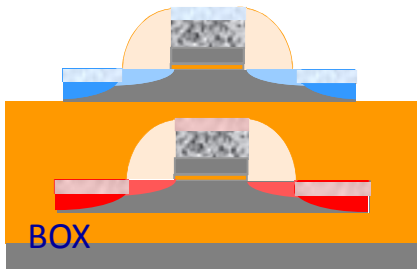
Bottom transistor



Top film realization

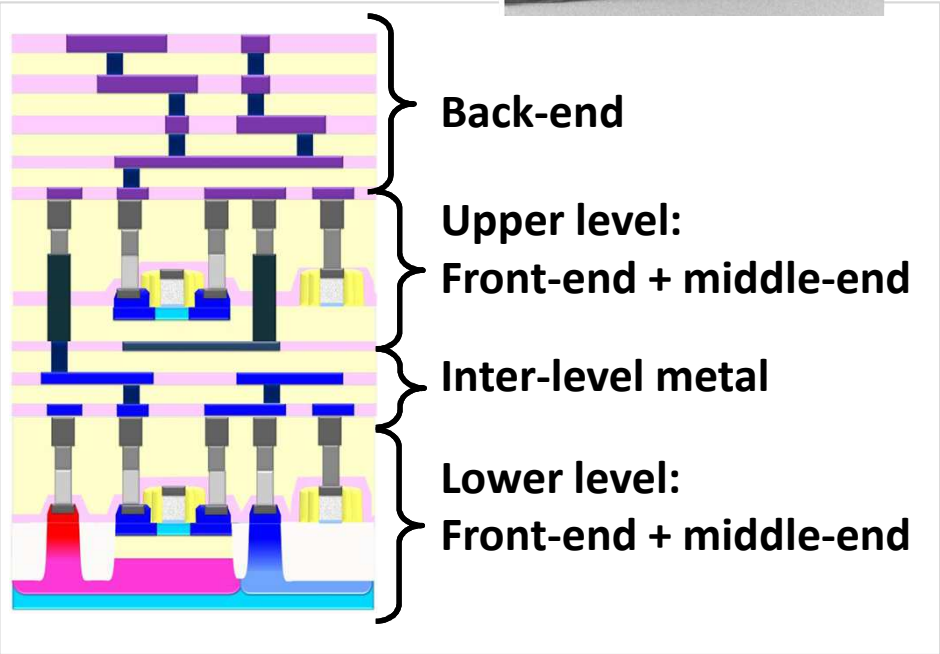


Top transistor



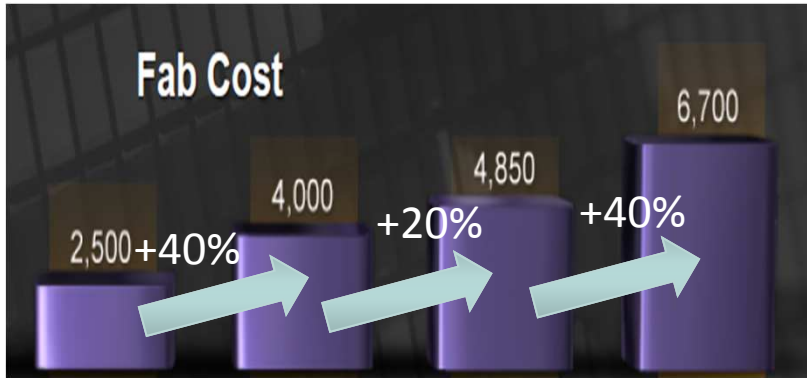
Lithographic alignment precision
between stacked layers

- 14 M3D PDK available
- Based on CMOS/CMOS silicon demonstration



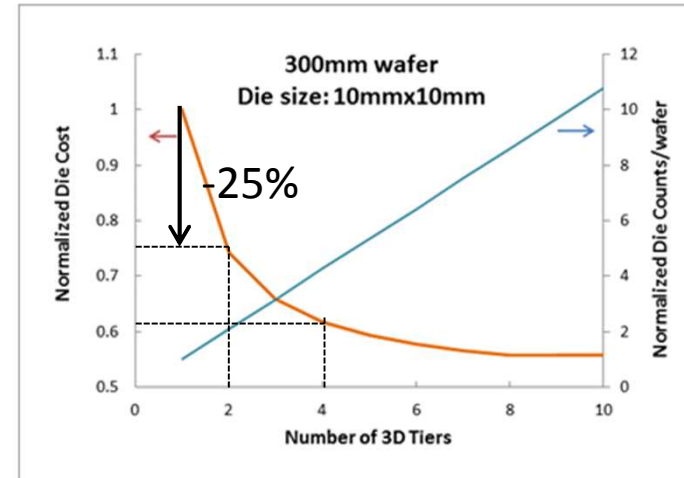
Interest for M3D

Source: G. Bartlett, Global Foundries, SMC 2013



Without scaling avoid fab and process costs increase

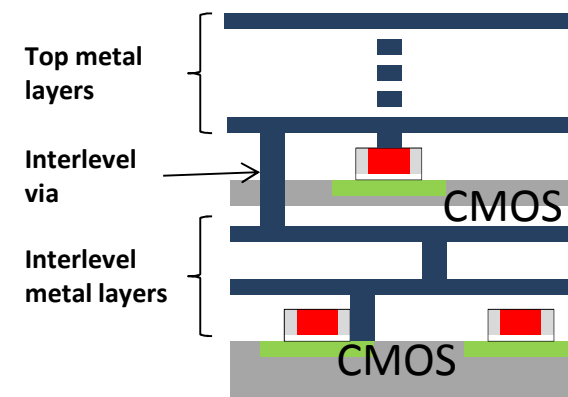
Source: R. Gilmore, Qualcomm VP, ESSIRC 2012



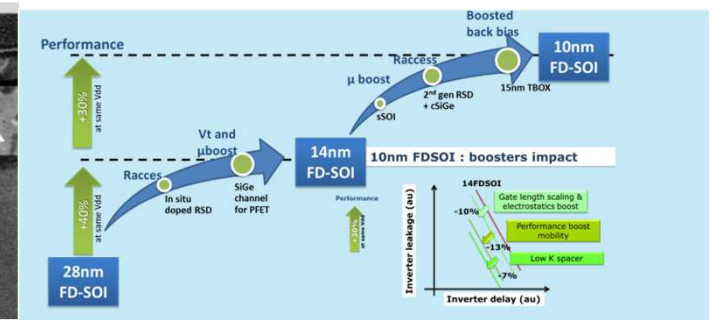
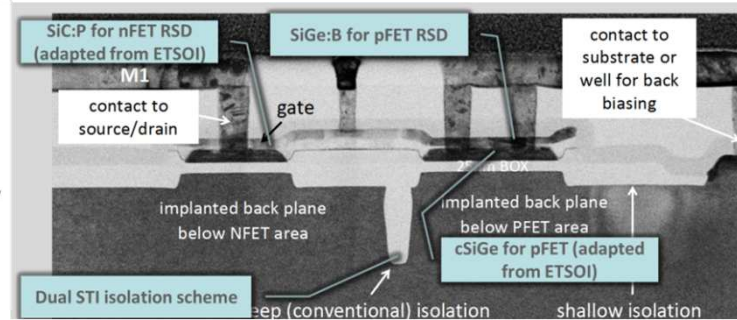
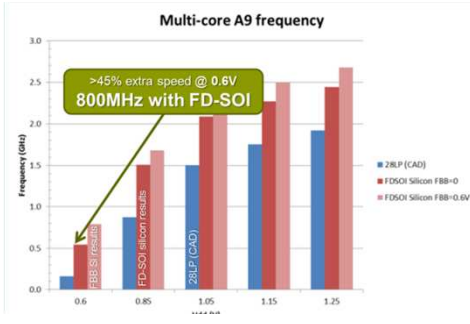
Stack 2 layers: 25% die cost reduction

- Average gain benchmark for 6 circuits/planar

1 node gain without scaling



Technological ecosystem



Leti molecular bonding long history

- Substrate: Smartcut patent
- M Bruel (1991)

Procédé de préparation de films minces de matériau semi-conducteur par transfert moléculaire.

1. Une plaquette d'un matériau semi-conducteur comportant une face plane dans la direction des jonctions est polie, puis, aux trois faces restantes, on réalise des couches de protection.

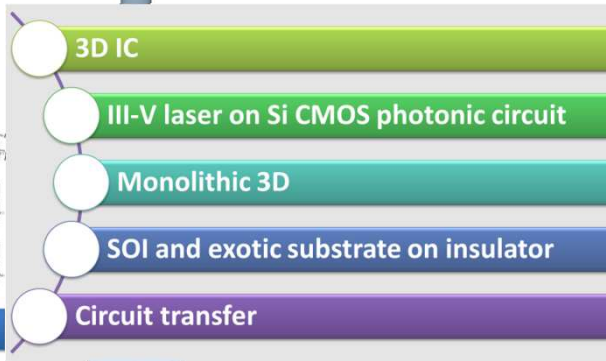
2. Une première étape d'implantation par bombardement (3) de la face (4) de la plaquette (1) au moyen d'ions chargés dans le volume de la dite plaquette crée une couche (2) de molécules gazeuses adhérentes dans le volume de la dite plaquette. Une région inférieure (6) constituant la masse du substrat et une région supérieure (5) constituant le film mince.

3. Une deuxième étape de mise en contact intime de la face plane (4) de la dite plaquette avec un réducteur (7) conduit à la formation d'une couche de matériau rigide.

4. Une troisième étape de traitement thermique de l'ensemble de la dite plaquette (1) et du réducteur (7) à une température supérieure à la température à laquelle est réalisé le bombardement (3) conduit au soulèvement par effet de réarrangement cristallin dans la dite plaquette (1) et de pression dans les molécules d'une séparation entre le film mince (5) et la masse du substrat (6).

1992 Creation of SOITEC
Smartcut based substrates

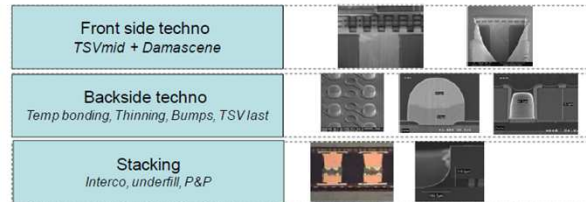
2003 Creation of Tracit
IC transfer by molecular bonding



Leti 3D Integration platform

A complete and mature set of processes dedicated to 3D integration

Core 3D Technology
(200mm & 300mm)



Roadmap | 3D at Leti



WIOMING: Wide I/O demonstrator (June 2012)

- Wide IO Memory Interface Next Generation
- Cooperation with STMicroelectronics, ST-Ericsson and Cadence.



Device technology roadmap

- Evolutionary scenario: nanowires and stacked nanowires as
- Disruptive scenario
 - Steep slope device
 - Mechanical switches
 - SET/SAT as elements for a “disruptive” scenario
- Monolithic 3D for an “end of scaling” scenario:
 - CMOS/CMOS for density
 - N over P for co-integration of alternative channel materials
 - New architectures like “memory in logic” and “neuromorphic”
- Resistive memories replacing charge based